

## KOREAN PATENT PUBLICATION

(1) Patent number : 10-0200687

(2) Patent Publication Date : June 15, 1999

(3) Patent Date : March 11, 1999

(4) Applcation number : 10-1995-0042624

(5) Filing Date : November 21, 1995

(6) Applicant : SAMSUNG ELECTRONICS CO., LTD.

(7) Inventor : KIM, YOUNG SIK

(8) Title of Invention : SEMICONDUCTOR DEVICE WITH NEW PAD LYAER

(9) Abstract:

This invention disclose a semiconductor device with a new type pad layer. The semiconductor device with a pad layer as a component element in accordance with the invention, the pad layer is consist of a upper layer and a lower layer, the lower layer is a number of a conductor pattern separated each other that filled their between with a isolation film pattern with a concave surface, the upper layer is contact with the number of the conductor pattern and the isolation film pattern, and its surface area is enlarger than a plane because its surface is the same with a surface consist of the lower layer and the isolation film pattern.

Therefore, by the invention, a effective area is enlarger than a typical area, because the surface of the pad layer don't have a typically even surface, but have the surface type(by example, concavo and convex) that its effective area is enlarge. Therefore, Although the invention use a wire bonding method similarly with the prior art, a adhesive power for bonding the wire and a upper metal film is increased, because a effective area is enlarge by a fine concavo and convex formed on a upper surface of the pad layer.

## 한국등록특허 제0200687호(1999.06.15) 1부.

10-2200687

## (19) 대한민국특허청(KR)

## (12) 등록특허공보(B1)

## 引用例の写し

(5) Int. Cl. <sup>7</sup>	(45) 공고일자	1999년 06월 15일	
H01L 21/48	(11) 등록번호	10-0200687	
H01L 21/60	(24) 등록일자	1999년 06월 11일	
(21) 출원번호	10-1995-0042624	(65) 공개번호	특 1997-0030521
(22) 출원일자	1995년 11월 21일	(43) 공개일자	1997년 06월 26일

(73) 특허권자	삼성전자주식회사	읍종용
(72) 발명자	경기도 수원시 팔달구 매탄3동 416	김용식
(74) 대리인	서울특별시 성북구 중암1동 44-23 8/3	권석훈, 노민식, 이영필

심사관 : 박종석

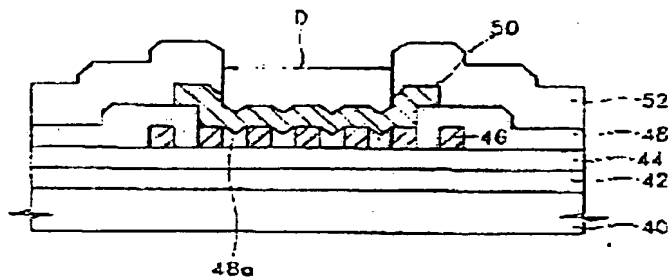
## (54) 새로운 반도체를 구비하는 반도체장치

## 요약

본 발명은 새로운 형태의 반도체를 구비하는 반도체장치에 관한 개시한다. 본 발명에 의한 반도체장치는 반도체를 한 구성요소로써, 구비하는 반도체장치에 있어서, 상기 반도체는 하부층과 상부층으로 구성되어 있다. 상기 하부층은 소정길이 이격된 복수개의 도전층 패턴으로써 그 사이에 표면이 노출한 영역의 패턴이 채워져 있고, 상기 상부층은 상기 복수개의 도전층 패턴 및 상기 접연막 패턴과 정속되어 있으며, 상기 하부층 및 상기 접연막 패턴으로 이루어지는 표면과 동일한 표면 형태를 이루고 있어 평면보다 표면적이 넓다.

따라서 본 발명에 의하면, 반도체의 표면을 줄려와 같이 평탄한 면으로 구비하지 않고, 유효면적을 넓게 한 표면형태(예컨대, 요철)로 구비함으로써, 종래에 비해 증가된 유효면적을 확보한다. 따라서 본 발명은 종래 기술에서 사용하는 것과 동일한 와이어본딩방법을 사용하더라도 반도체의 상부표면에 형성된 미세한 요철에 의한 유효면적이 확대되어 본딩을 위한 와이어와 반도체의 상부 금속막사이의 부착력을 증가시킨다.

## 도면



## 중세서

## [발명의 명칭]

새로운 반도체를 구비하는 반도체장치

## [도면의 간단한 설명]

제1도는 줄려 기상에 의한 반도체를 구비하는 반도체장치의 단면도이다.

제2도는 큰 발명에 의한 반도체를 구비하는 반도체장치의 단면도이다.

## \* 도면의 주요부분에 대한 부호의 설명

46 : 반도체기판

48 : 패드 하부층

50 : 패드 상부층

10-0200667

## [금연의 상세한 설명]

본 발명은 새로운 패드(pad)를 구비하는 반도체장치에 관한 것으로서, 특히 패드표면의 유도면적을 크게 하는 패드를 구비하는 반도체장치에 관한 것이다.

반도체장치의 고집적화에 따라 동일면적에 보다 많은 수의 트랜지스터를 제조하는 것이 가능해지고 아울러 다양한 기능의 반도체장치를 제조하는 것이 가능하게 되었다. 다양한 기능을 갖는 반도체장치의 제조를 위해서는 많은 수의 소자를 집적시키는 것뿐만 아니라 외부의 장치들과 전기적 연결을 위한 편의의 수단으로써 접합층으로 전과 접의 연결을 위한 와이어 보딩(wire bonding)등도 점점 어렵게 된다. 접의 수를 증가시키기 위해서는 본딩패드와 본딩 와이어의 크기를 작게 해야 하나 본딩 와이어와 본딩패드의 접합력이 약해지는 문제점이 있다. 접합력을 크게 하기 위해서는 접합면적을 크게 하여야 하나 크게 할 경우 집적도가 낮아진다.

상술한 패드층을 형성하는 종래 기술에 의한 양예를 첨부된 도면과 함께 상세하게 설명한다.

제1도는 종래 기술에 의한 패드층을 구비하는 반도체장치의 단면도이다.

본 도면을 참조하여, 패드층의 형태와 반도체장치내에서 이들 패드층이 어떤 역할을 하는지 알아본다.

먼저, 패드층을 구비하는 본 도면에 도시된 반도체장치는 맨 아래에는 반도체기판(10)을 구비하고 있고 그 위에는 여러 가지 구조층을 구비하고 있다. 구조층은 다음과 같이 구성된다. 즉, 반도체기판(10)경면에 형성된 절연산화막(12)이 있고, 절연산화막(12) 상에는 제1 절연막(14)이 형성되어 있다. 여기서 반도체기판(10) 상에는 도면에는 나타나지 않았지만, 반도체장치를 구성하는 각종 소자들을 예컨대, 트랜지스터나 커패시터 및 비터라인 등이 일반적인 방법으로 형성되어 있다. 계속해서 제1 절연막(14) 상에는 한정된 일부영역에 제1 도전층(16)이 형성되어 있다. 제1 도전층(16)은 금속 막(예를 들어 알루미늄막)으로 형성된다)으로 구성된다. 도면을 참조하면, 제1 도전층(16)의 표면상에는 평탄화되어 전체가 광택하게 형성되어 있다. 제1 도전층(16)의 양측에는 제1 도전층(16)의 양측의 양부를 덮는 제2 절연막(18)이 제1 절연막(14) 전면에 형성되어 있다. 제1 도전층(16)의 노출된 부분과 이 부분과 접해되는 제2 절연막(18)의 일부영역만 함께 포함하는 영역에는 패드층으로 사용되는 제2 도전층(20)이 형성되어 있다. 이와 같은 제2 도전층(20)을 포함하는 결과물 전면에는 제2 도전층(20)의 폭의 일부영역만을 노출시키는 제3 절연막(22)이 형성되어 있다. 제2 도전층(20)의 폭의 노출된 부분을 도면상으로는 볼 때, 평탄화되어 평평한 면을 이루고 있다. 노출된 부분은 반도체장치의 패키지를 위한 외부 와이어가 전방되는 영역이다. 이와 같이 제2 도전층(20)을 패드층으로 사용함으로써, 반도체장치 내부의 미세한 소자들과 적접 외부와이어를 연결해야 하는 어려움들을 덜어주고, 종점의 확실성을 향상시킬 수 있다. 또한 패드층을 미세한 소자들에 외부 와이어와 접촉되는 유도면적을 증가시키는 수단이 되기도 한다.

이와 같은 많은 잇점이 있음에도 불구하고 종래 기술에 의한 패드층을 구비하는 반도체장치는 패드층으로 사용되는 제2 도전층의 외부 와이어와 접촉되는 표면이 평탄화되어 있으므로, 접합면적이 외부 와이어와의 접촉면에 비하면 작다. 따라서 반도체장치가 고집적화됨에 따라 패드층 즉, 제2 도전층의 노출된 영역이 작을 경우 와이어의 부착력이 작아지게 된다. 이와 같은 상황에서는 외부전공품들에 있어서 완전한 연결이 어렵게 되고 접촉부에는 저항이 커져서 종래에는 반도체장치는 동작을 할 수 없게 된다.

따라서 본 발명의 목적은 상술한 종래 기술에 의한 문제점을 해결하기 위한 것으로서, 유도 면적을 크게 할 수 있는 패드층을 구비하는 반도체장치를 제공하는데 있다.

상기 목적을 달성하기 위하여, 본 발명에 의한 새로운 패드층을 구비하는 반도체장치는 패드층을 한 구성요소로써 구비하는 반도체장치에 있어서, 상기 패드층은 평면보다 표면적이 많은 표면형태를 구비한다.

본 발명의 경우, 상기 패드층의 표면형태는 규칙적으로 반복되는 오목형태이다. 본 발명에 의한 상기 패드층은 상부 및 하부층의 2개 층으로 구성된다. 상기 하부층은 상기 상부층의 상부면의 표면형태를 결정하는 것으로써 절연막을 함께 구비한다. 상기 하부층의 형태는 일정 간격 이격된 등장의 복수개의 도전을 패드층으로 구성된다. 상기 도전을 패드 사이의 간격에는 절연물질이 형성되어 있다. 상기 절연물질은 그 표면이 오목한 형태이며, 상기 하부층의 도전을 패드와 함께 상기 상부층의 상부면의 표면형태를 결정한다. 즉, 규칙적인 요철형태를 이룬다. 상기 하부층의 도전을 패드의 일정간격을 한 배열의 경우는 1.0~5.0μm 정도이다. 그리고 상기 하부층을 이용하여 상기 상부층이 오형을 형성할 때, 상기 하부층의 도전은 0.5~1.5μm 정도이다. 상기 패드층의 하부층은 도화된 폴리실리콘층으로 구성된다.

본 발명에 의한 패드층을 구비하는 반도체장치를 이용한 경우, 패드층의 표면은 종래와 같이 평탄한 면으로 구비하지 않고, 오형을 갖는 표면으로 구비함으로써, 종래에 비해 전기적 유도면적을 확대할 수 있다. 따라서 본 발명은 종래 기술에서 사용하는 것과 동일한 와이어로부터 패드층을 사용하더라도 패드층의 상부 표면 형성된 미세한 오형에 의한 유도면적이 확대되어 연결을 위한 와이어의 패드층의 상부 금속막사이의 전기적의 부착력을 증가시킨다.

이하, 본 발명에 의한 새로운 패드층을 구비하는 반도체장치를 첨부된 도면과 함께 상세하게 설명한다.

제2도는 본 발명에 의한 패드층을 구비하는 반도체장치의 단면도이다. 도면을 참조하면, 본 발명에 의한 새로운 패드층을 구비하는 반도체 장치는 다음과 같은 구성요소를 구비하고 있다. 상기 반도체 기판(40) 상에는 절연산화막(42)이 형성되어 있다. 계속해서 상기 절연산화막(42)을 포함하는 반도체기판(40) 전면에는 제1 절연막(44)이 형성되어 있다. 상기 제1 절연막(44)은 등간격영역이다. 상기 제1 절연막(44)이 형성되기 전에 상기 반도체기판(40) 상에는 도시하지는 않았지만, 각종 반도체소자가 일반적인 방법으로 구성된다. 상기 제1 절연막(44) 상의 한정된 일부영역에는 제1 도전층 패드(46)이 형성되어 있는데, 상기 제1 도전층 패드(46)은 금속층으로, 또는 산화 알루미늄층으로 구성된다. 또한 상기 제1 도전층 패드(46)은 상기 제1 절연막 패드(45) 상의 일부영역에 형성될 제2 도전을 패드와 함께 패드층을 구성한다. 전술한 상기 제1 도전층 패드(46)은 패드층의 하부층이라 한다. 상기 제1 도전층 패드(46) 즉, 패드층의 하부층의 형성된 도면을 보면, 한정된 영역에 일정 간격 이격된 등장의 도전을 패드가 복수개 형성되어 있다. 상기

10-020067

하부층의 두께 및 이격거리는 상기 본 발명의 요약부에서 기술하였으므로 생략한다.

상기 제1 절연막(44) 상에 상기 하부층(46)의 패드층으로 사용될 부분을 노출시키는 제2 절연막(48)이 형성되어 있고, 상기 하부층(46)의 노출된 부분 사이에는 제2 절연막 패턴(48a)이 채워져 있다.

상기 제2 절연막(48) 및 상기 제2 절연막 패턴(48a)은 다음과 같은 공경으로 형성된다.

즉, 상기 하부층(46)을 형성한 다음, 상기 하부층(46)이 형성된 상기 제1 절연막(44) 전면에 제2 절연막(48)을 형성하고 이어서 상기 하부층(46)의 외부영역을 노출시키는 사진식각공정을 실시한다.

이러한 사진식각공정에 의해, 상기 하부층(46) 사이에 채워진 상기 제2 절연막 패턴(48a)의 표면은 평탄하지 않은 형태(예컨대, 오목한 형태)가 된다.

이렇게 형성된 상기 하부층(46)과 상기 제2 절연막 패턴(48a)이 이루는 접합면은 다음에 구성되는 제2 도전층 패턴(이것을 편의상 패드층의 상부층이라 한다)의 표면형태를 결정한다.

계속해서 상기 제2 절연막(48) 상에 상기 하부층(46), 즉 상기 제1 도전층 패턴(46) 및 상기 제2 절연막 패턴(48a)과 접촉되는 제2 도전층 패턴(50)이 형성되어 있다. 상기 제2 도전층 패턴(50)은 패드층의 상부층이다.

상기 상부층(50)에는 상기 하부층(46)과 하부층(46)을 구성하는 도전층 패턴사이에서 채워진 제2 절연막 패턴(48a)으로 이루어지는 표면형태가 그대로 전사되어 형성되어 있다. 따라서 상기 상부층(50)의 상부표면은 불탄하지 않은 표면(요철)을 구비한다. 계속해서 상기 상부층(50)의 노출부분(D)을 제외한 상기 제2 절연막(48) 전면에는 제3 절연막(52)이 형성되어 있다. 상기 제3 절연막(52)은 반도체소자를 유리막 또는 화전막의 외부 환경으로부터 보호하는 보호막이다. 상기 상부층(50)의 노출된 부분(D)은 반도체소자가 와이어본딩(wire bonding)되는 영역(D) 부분을 패드 윈도우(pad window)이라 하고 (D)로 표시한다)이다. 제2도에 도시된 바와 같이 본 발명에 의한 상기 패드윈도우(D)는 종래 기술에 의한 패드윈도우를 나타내는 제1도의 비교하물 때, 도면의 면적이 좁은하지 않고 요철형태로 형성되고 있다. 결과적으로 패드윈도우(D)의 크기는 종래와 동일하나 각각 유효면적은 다르다. 즉 본 발명에 의한 표면적이 종래의 것보다 훨씬 넓은 유효면적을 갖는다. 상기 하부층(46, 50)이 구비하고 있는 각종 구조층의 성격은 반도체제조공정에서 특수계의 금속배선층을 구현할 경우에 있어서, 각각 전상부 금속배선과 그 아래의 하부배선에 해당할 수 있다.

이상, 기술한 바와 같이 본 발명은 패드층을 구성하는 상부 및 하부층은 각각 그 표면의 형태가 평탄하지 않은 형태로 형성된다. 따라서 종래보다 넓은 유효표면적을 확보한다.

본 발명에 의한 패드층을 구비하는 반도체장치에 이용될 경우, 패드층의 표면을 종래와 같이 평탄한 면으로 구비하지 않고, 유효표면적을 넓게한 표면형태(예컨대, 오목)로 구비함으로써, 종래에 비해 증가된 유효표면적을 확보한다. 따라서 본 발명은 종래 기술에서 사용하는 것과 동일한 와이어드rawing방법을 사용하더라도 패드층의 상부표면에 형성된 미세한 요철에 의한 유효면적이 확대되어 분리를 위한 와이어와 패드층의 상부 금속막사이의 부착력을 증가시킨다.

본 발명은 상기 실시예에 한정되지 않으며, 많은 변형이 본 발명의 기술적 사상내에서 당분야에서의 통상의 지식을 가진자에 의하여 실시가능함을 명백하다.

#### (5) 청구의 범위

##### 청구항 1

패드층을 한 구성요소로써, 구비하는 반도체장치에 있어서, 상기 패드층은 하부층과 상부층으로 구성되어 있다. 상기 하부층은 소정간격 이격된 복수개의 도전층 패턴으로써 그 사이에 표면이 오목한 절연막 패턴이 채워져 있고, 상기 상부층은 상기 복수개의 도전층 패턴 및 상기 절연막 패턴과 접촉되어 있으며 상기 하부층 및 상기 절연막 패턴으로 이루어지는 표면과 동일한 표면 형태를 이루고 있어 평면보다 표면적이 넓은 것을 특징으로 하는 새로운 패드층을 구비하는 반도체장치.

##### 청구항 2

제1항에 있어서, 상기 상부층 및 상기 하부층의 도전층 패턴은 각각 반도체 제조공정에서 구현되는 특수계의 금속배선층과 전상부의 금속배선과 그 아래의 하부 금속배선인 것을 특징으로 하는 새로운 패드층을 구비하는 반도체장치.

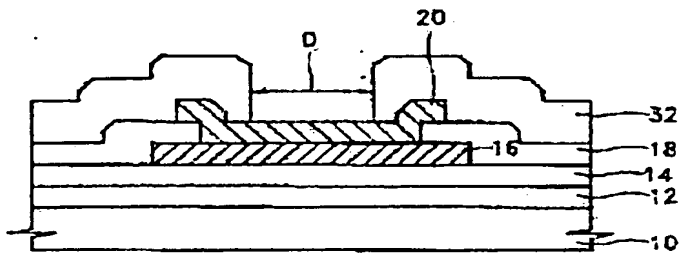
##### 청구항 3

제1항에 있어서, 상기 표면적이 넓은 표면형태라 함은 규칙적인 요철형 표면형태인 것을 특징으로 하는 반도체장치.

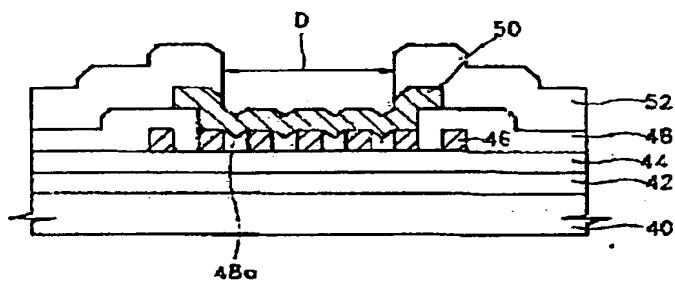
도면

10-220587

581



582



6-2